

PAT-NO: JP363261736A  
DOCUMENT-IDENTIFIER: JP 63261736 A  
TITLE: PRINTED WIRING BOARD  
PUBN-DATE: October 28, 1988

INVENTOR-INFORMATION:

NAME  
TSUNASHIMA, EIICHI

ASSIGNEE-INFORMATION:

NAME MATSUSHITA ELECTRIC IND CO LTD	COUNTRY N/A
--	----------------

APPL-NO: JP62096549

APPL-DATE: April 20, 1987

INT-CL (IPC): H01L023/52, H05K001/18 , H01L025/00

US-CL-CURRENT: 257/723

ABSTRACT:

PURPOSE: To achieve high power consumption allowance, to make it possible to mount two electronic circuit chips used for dual circuits in holes in both surfaces of the same wiring board and to implement a compact configuration, by using a metal plate or a metal film as an inner conductor layer, attaching multilayer interconnection boards having the holes to both surfaces of the inner conductor layer, and mounting the electronic circuit chips in said holes.

CONSTITUTION: Aluminum is used for a metal plate, i.e., an inner conductor layer 10. As wiring boards, insulating layers 6 and 7 made of aramid-fiber epoxy-resin impregnated cloth and electrodeposited copper foils 9 and

11 are provided. Die bonding of semiconductor integrated circuit chips 1 and 3 on both surfaces is performed by silver paint 12 and its thermosetting. Wires 2 and 4 are gold wire. Holes 13 and 14 are provided. The thicknesses of the insulating layers 5, 6, 7 and 8 are changed by the thicknesses and the sizes of the semiconductor integrated circuit chips 1 and 3. The exposed parts of the conductor layers 9 and 11 are plated with silver and used as outer pads for the bonding of the wires 2 and 4. The hole parts can be filled with epoxy resin and the like.

COPYRIGHT: (C)1988, JPO&Japio

## ⑯ 公開特許公報 (A)

昭63-261736

⑯ Int.C1.<sup>4</sup>  
 H 01 L 23/52  
 H 05 K 1/18  
 // H 01 L 25/00

識別記号  
 H 01 L 23/52  
 H 05 K 1/18  
 // H 01 L 25/00

厅内整理番号  
 C-8728-5F  
 S-6736-5F  
 Z-7638-5F

⑰ 公開 昭和63年(1988)10月28日  
 審査請求 未請求 発明の数 1 (全2頁)

⑯ 発明の名称 プリント配線板

⑰ 特願 昭62-96549  
 ⑰ 出願 昭62(1987)4月20日

⑯ 発明者 綱島瑛一 大阪府門真市大字門真1006番地  
 ⑰ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ⑯ 代理人 弁理士 中尾敏男 外1名

## 明細書

## 1. 発明の名称

プリント配線板

## 2. 特許請求の範囲

金属板または金属フィルムを内層導体として用いて、この内層導体の両面に開孔を有する配線板を、おのの、貼り合わせて、前記各開孔内に電子回路チップを搭載したプリント配線板。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、エレクトロニクス機器に使われるプリント配線板の構造に関するもので、とり分け、三層プリント配線に半導体チップをワイヤ及びグイボンディングにより効率よく内装状態で取りつける事を可能ならしめるものである。

## 従来の技術

従来、半導体チップをプリント配線板にとりつける技術はテープキャリヤ、チップオンボードがある。

## 発明が解決しようとする問題点

テープキャリヤ技術は、チップの独立キャリヤーであるが多重めっき技術、ポリイミドフィルム自体のエッチング技術の工数が多く、面倒な上コストが高い。チップオンボード技術はチップが基板面に突出するので、チップ又はワイヤの破損の心配があり、樹脂による保護コートの信頼性も充分でない。

加えて、半導体の放熱性が悪く、むしろ蓄熱性であり、半導体の回路的動作の不安定さを招いていた。

## 問題点を解決するための手段

本発明は、金属板又は金属フィルムを内層導体として用いて、この内層導体の両面に開孔を有する多層の配線板を、おのの、貼り合わせて、前記各開孔内に電子回路チップを搭載した構成である。

## 作用

本発明によると、電子回路チップ2個を両面の各開孔内に配置でき、非常にコンパクトにできる。

## 実施例

図面は実施例プリント配線板の要部断面図であり金属板すなわち導体内層10としてアルミニウムの厚さ0.5mm、配線板としてアーラミドせんいエポキシ樹脂含浸布の絶縁層6, 7の厚さ0.25mm、銅箔9, 11の厚さ35μの電着銅箔、両面の半導体集積回路チップ1, 3のダイボンディングは銀ペイント12とその150℃での熱硬化、ワイヤ2, 4は直径38μの金線、開孔13, 14をもち、また、絶縁層5, 6, 7, 8の厚さは半導体集積回路チップ1, 3の厚さ、大きさによって変更される。例として厚さ0.2mm, 1.0×0.8mmのシリコンチップに開孔13の径を4mmの円形、開孔14の径を8mmの円形とすることができる。導体層9及び導体層11の露出部分は銀めっきしてワイヤ2, 4のボンディングのアウターパッドとする。

なお、開孔部には、エポキシ樹脂、シリコン樹脂、ポリウレタン樹脂、ポリイミド樹脂などで充填することができる。

## 発明の効果

本発明によれば、許容消費電力がたとえば6ビン30で0.25Wのものが、1.75Wとなるなど、高い許容消費電力が達成され、また、デュアル回路に使う電子回路チップが同一配線基板の両面の開孔に2個実装されコンパクト化が達成される。

## 4. 図面の簡単な説明

図は本発明の実施例プリント配線板の要部断面図である。

1, 3 ……半導体集積回路チップ、2, 4 ……ワイヤ、5, 6, 7, 8 ……絶縁層、9, 11 ……導体層、10 ……導体内層、12 ……ダイボンディング部分、13, 14 ……開孔。

代理人の氏名 弁理士 中尾敏男 ほか1名

- 1.3 - 半導体集積回路チップ
- 2.4 - ワイヤ
- 5,6,7,8 - 絶縁層
- 9,11 - 導体層
- 10 - 導体内層
- 12 - 銀ペイント
- 13,14 - 孔

